

Jerarquía de memoria

Ejemplos



Introducción

- Se compara la jerarquía de memoria de los procesadores ARM-A53 e Intel Core i7.

ARM Cortex-A53

- Soporta el ISA ARMv8A.
- Incluye modos de 32 y 64 bits.
- Se puede configurar con varios cores.
- Puede emitir dos instrucciones por ciclo.
- La velocidad de reloj es de hasta 1.3 GHz.

Intel Core i7

- ISA x86-64.
- 4 cores.
- Scheduling dinámico.
- Cada core puede ejecutar hasta 4 instrucciones.
- Pipeline de 16 etapas.

Comparación

Characteristic	ARM Cortex-A53	Intel Core i7
Virtual address	48 bits	48 bits
Physical address	40 bits	36 bits
Page size	Variable: 4, 16, 64 KiB, 1, 2 MiB, 1 GiB	Variable: 4 KiB, 2/4 MiB
TLB organization	<p>1 TLB for instructions and 1 TLB for data per core</p> <p>Both micro L1 TLBs are fully associative, with 10 entries, round robin replacement</p> <p>Unified L2 TLB with 512 entries, 4-way set associate</p> <p>TLB misses handled in hardware</p>	<p>1 TLB for instructions and 1 TLB for data per core</p> <p>Both L1 TLBs are four-way set associative, LRU replacement</p> <p>L1 I-TLB has 128 entries for small pages, seven per thread for large pages</p> <p>L1 D-TLB has 64 entries for small pages, 32 for large pages</p> <p>The L2 TLB is four-way set associative, LRU replacement</p> <p>The L2 TLB has 512 entries</p> <p>TLB misses handled in hardware</p>

Fuente: COD-HIS-RISCV-2, p. 481

Comparación

Characteristic	ARM Cortex-A53	Intel Core i7
L1 cache organization	Split instruction and data caches	Split instruction and data caches
L1 cache size	Configurable 8 to 64 KiB each for instructions/data	32 KiB each for instructions/data per core
L1 cache associativity	Two-way (I), two-way (D) set associative	Eight-way (I), eight-way (D) set associative
L1 replacement	Random	Approximated LRU
L1 block size	64 bytes	64 bytes
L1 write policy	Write-back, variable allocation policies (default is Write-allocate)	Write-back, No-write-allocate
L1 hit time (load-use)	Two clock cycles	Four clock cycles, pipelined
L2 cache organization	Unified (instruction and data)	Unified (instruction and data) per core
L2 cache size	128 KiB to 2 MiB	256 KiB (0.25 MiB)
L2 cache associativity	8-way set associative	4-way set associative
L2 replacement	Approximated LRU	Approximated LRU
L2 block size	64 bytes	64 bytes
L2 write policy	Write-back, Write-allocate	Write-back, Write-allocate
L2 hit time	12 clock cycles	12 clock cycles
L3 cache organization	–	Unified (instruction and data)
L3 cache size	–	2 MiB/core shared
L3 cache associativity	–	16-way set associative
L3 replacement	–	Approximated LRU
L3 block size	–	64 bytes
L3 write policy	–	Write-back, Write-allocate
L3 hit time	–	44 clock cycles

Fuente: COD-HIS-RISCV-2, p. 482

Optimizaciones Intel Core i7

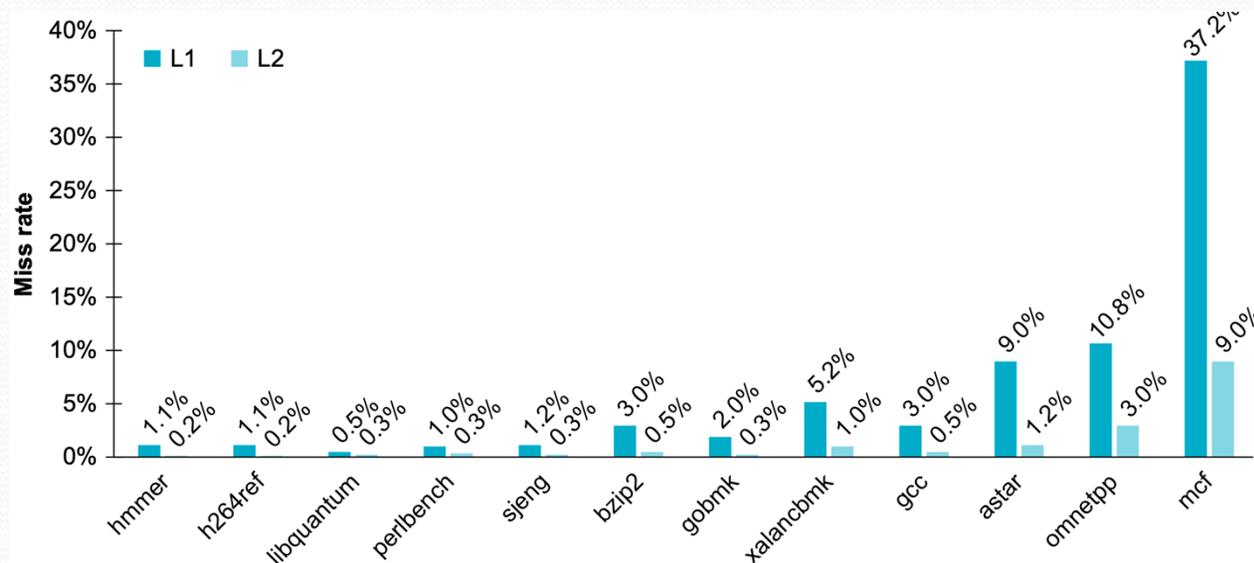
- Objetivo: reducir el castigo por falla.
- Caché no bloqueantes. Habilidad de procesar accesos al caché en presencia de fallas.
- Dos variantes:
 - Hit under miss. Permite accesos adicionales durante una falla.
 - Miss under miss. Permite varias fallas de caché pendientes.
- El objetivo de hit under miss es ocultar la latencia de una falla con otros accesos.
- El objetivo de miss under miss es sobreponer la latencia de dos fallas distintas.

Optimizaciones Intel Core i7

- Prefetching para accesos de datos.
- Intenta predecir la siguiente dirección antes de que ocurra una falla.
- Es eficaz cuando se accesan arreglos en ciclos.

Rendimiento ARM Cortex-A53

- Tasa de fallas de datos con SPECInt2006.



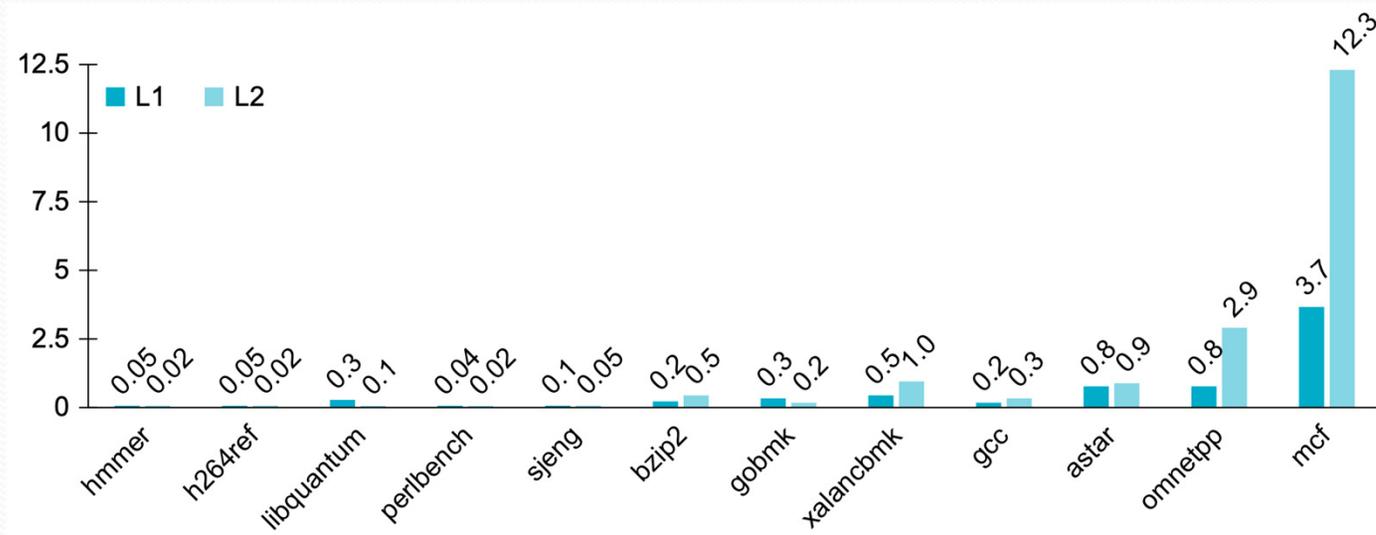
Fuente: COD-HIS-RISCV-2, p. 483

Explicación

- Tasa de fallas:
- L1: entre 0.5% y 37.2% con mediana de 2.4%.
- L2 global: entre 0.05% y 9.0% con mediana de 0.3%.
- L2 local: mediana 15.1%.

Rendimiento ARM Cortex-A53

- Castigo promedio por acceso a datos corriendo SPECInt2006.



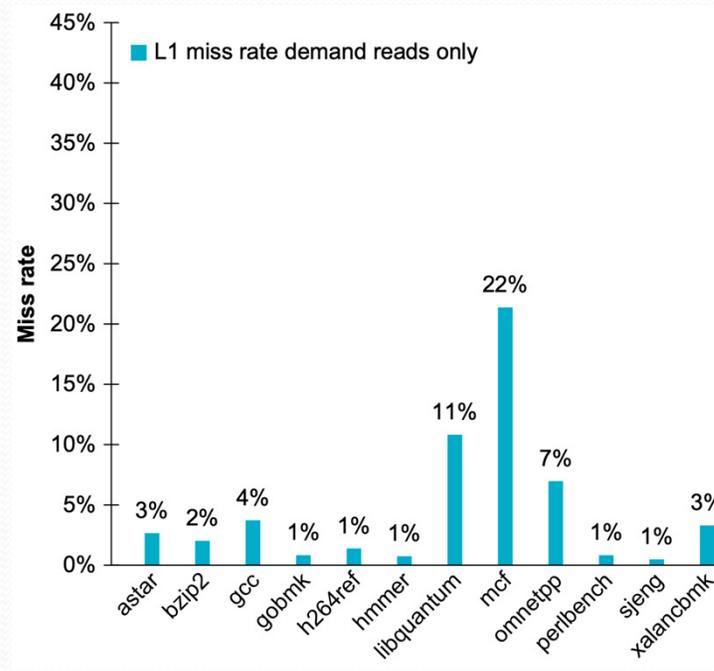
Fuente: COD-HIS-RISCV-2, p. 484

Explicación

- La tasa de fallas de L1 es 7 veces la de L2.
- El castigo por falla de L2 es 9.5 veces el de L1.

Rendimiento Intel Core i7

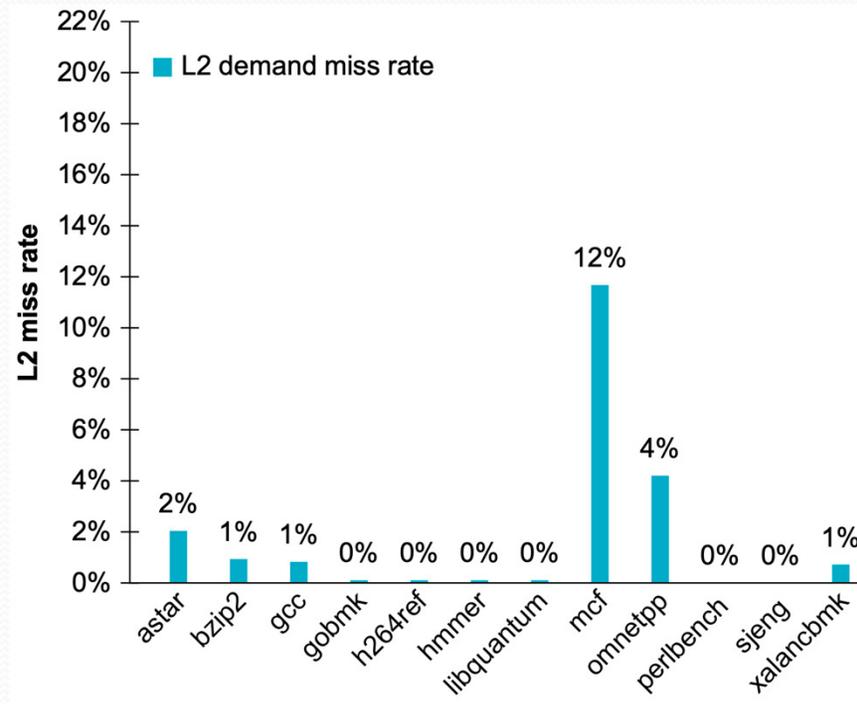
- Tasa de fallas de datos de L1 con SPECInt2006.



Fuente: COD-HIS-RISCV-2, p. 485

Rendimiento Intel Core i7

- Tasa de fallas de datos de L2 con SPECInt2006.



Fuente: COD-HIS-RISCV-2, p. 485

Explicación

- La tasa de fallas de L3 es 0.5%.